

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020030001088 A
 (43)Date of publication of application: 06.01.2003

(21)Application number: 1020010037420
 (22)Date of filing: 28.06.2001

(71)Applicant: SAMSUNG ELECTRONICS CO., LTD.
 (72)Inventor: CHO, SEONG SUN
 CHOI, JEONG DAL
 LEE, CHANG HYEON
 PARK, JONG U

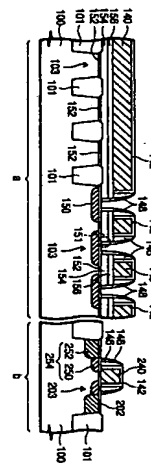
(51)Int. Cl. H01L 27/115
 H01L 21/8247
 H01L 29/788

(54) NON-VOLATILE MEMORY DEVICE AND METHOD FOR FABRICATING THE SAME

(57) Abstract:

PURPOSE: A non-volatile memory device and a method for fabricating the same are provided to minimize the influence of trap assisted tunneling by improving a structure of non-volatile memory device.

CONSTITUTION: An isolation layer(101) is formed on a predetermined region of a semiconductor substrate(100) in order to define the first active regions(103) of a cell array region(a) and the second active regions of a peripheral circuit region(b). A plurality of word lines(140) are arrayed on the first active regions(103) of the cell array region(a) and across an upper portion of the isolation layer(101). A stacked insulating layer is inserted between the word lines(140) and the first active regions(103). The stacked insulating layer is formed with a tunnel oxide layer(152), a charge storage layer(154), and a blocking insulating layer(156). A gate capping oxide layer(142) is inserted between the word lines(140) and the first sidewall spacer(146). The charge storage layer(154) and the blocking insulating layer(156) have projection portions(151). A dopant diffusion layer(150) is formed on the first active region(103) between the word lines(140). A gate electrode(240) is formed on the peripheral circuit region(b). A gate capping oxide layer(142) is inserted between the first sidewall spacer(146) and the gate electrode(240). A plurality of dopant diffusion layers(254) are formed on the second active region(203) of both sides of gate electrode(240). A dopant diffusion layers(254) includes the second and the third dopant diffusion layers(250,252).



© KIPO 2003

Legal Status

Date of request for an examination (20010628)

Final disposal of an application (registration)

Date of final disposal of an application (20030528)

Patent registration number (1003957550000)

Date of registration (20030812)

특 2003-0001088

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁷
H01L 27/115
H01L 21/8247
H01L 29/788

(11) 공개번호 특2003-0001088
(43) 공개일자 2003년01월06일

(21) 출원번호	10-2001-0037420
(22) 출원일자	2001년06월28일
(71) 출원인	삼성전자 주식회사
	경기 수원시 팔달구 매탄3동 416번지
(72) 발명자	최정달
	경기도수원시팔달구영통동청명마을동신아파트316동1002호
	박중우
	서울특별시강남구청담동113-6진도빌라4동402호
	조성순
	경기도수원시팔달구영통동988살구골아파트714동104호
	이창현
	경기도용인시기흥읍농서리삼성전자(주)기흥공정남자기속사월계수동334호
(74) 대리인	임창현, 권혁수

심사청구 : 있음

(54) 비휘발성 메모리 소자 및 그 제조방법

요약

비휘발성 메모리 소자 및 그 제조방법을 제공한다. 이 소자는 차례로 적층된 터널산화막, 전하저장층, 플로팅절연막 및 게이트 전극을 가지고, 게이트 전극 양면의 활성영역에 불순물 확산층을 가진다. 게이트 전극은 반도체 기판의 소정영역에 형성된 소자분리막 사이의 활성영역들을 가로지른다. 전하저장층의 가장자리는 연장되어 게이트 전극의 측벽으로부터 돌출된 돌출부를 가진다. 돌출부를 가지는 전하저장층을 형성하는 방법은, 반도체 기판에 형성된 소자분리막 사이의 활성영역에 제1 절연막, 제2 절연막 및 제3 절연막으로 구성된 적층절연막을 형성한다. 이어서, 적층절연막 상에 활성영역을 가로지르는 복수개의 게이트 전극을 형성하고, 게이트 전극의 양측벽에 측벽스페이서를 형성한다. 계속해서, 측벽스페이서 및 게이트 전극을 식각마스크로 사용하여, 적층절연막을 식각하여 게이트 전극의 측벽으로부터 돌출된 전하저장층을 형성한다.

도면

도 1

도 2

도면의 간단한 설명

도 1은 종래의 비휘발성 메모리 소자를 설명하기 위한 평면도이다.
도 2 내지 도 5는 도 1의 1-1'를 따라 취해진 종래의 비휘발성 메모리 소자의 제조방법을 설명하기 위한 공정단면도들이다.
도 6은 본 발명의 제1 및 제2 실시예에 따른 비휘발성 메모리 소자를 설명하기 위한 평면도이다.
도 7은 도 6의 II-II'를 따라 취해진 본 발명의 제1 실시예에 따른 비휘발성 메모리 소자를 설명하기 위한 단면도이다.
도 8 내지 도 11은 도 6의 II-II'를 따라 취해진 본 발명의 제1 실시예에 따른 비휘발성 메모리 소자의 제조방법을 설명하기 위한 공정단면도들이다.
도 12 내지 도 14는 도 6의 II-II'를 따라 취해진 본 발명의 제2 실시예에 따른 비휘발성 메모리 소자의 제조방법을 설명하기 위한 공정단면도들이다.
도 15는 본 발명의 제3 및 제4 실시예에 따른 비휘발성 메모리 소자를 설명하기 위한 평면도이다.
도 16은 도 15의 III-III'를 따라 취해진 본 발명의 제3 실시예에 따른 비휘발성 메모리 소자를 설명하기

위한 단면도이다.

도 17 내지 도 19는 도 15의 III-III'를 따라 취해진 본 발명의 제3 실시예에 따른 비휘발성 메모리 소자의 제조방법을 설명하기 위한 공정단면도들이다.

도 20은 도 15의 III-III'를 따라 취해진 본 발명의 제4 실시예에 따른 구조를 설명하기 위한 단면도이다.

※ 도면의 주요부분에 대한 부호의 설명 ※

100: 반도체 기판 101: 소자분리막

103, 103': 제1 활성영역 203, 203': 제2 활성영역

102, 162: 제1 절연막 104, 164: 제2 절연막

106, 166: 제3 절연막 108, 168: 적층절연막

120: 게이트 도전막 140, 183: 워드라인

142, 142': 게이트 캐핑 산화막 146: 측벽 스페이서

150, 190: 제1 불순물확산층 151, 191: 돌출부

154, 154a: 전하저장층 156: 플로팅절연막

169: 하부 게이트 도전막 170: 상부 게이트 도전막

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자 및 그 제조방법에 관한 것으로서, 더 구체적으로 적어도 하나의 절연막으로 형성된 전하저장층에 전하를 주입하여 데이터를 저장하는 부유트랩형 비휘발성 메모리 소자 및 그 제조방법에 관한 것이다.

비휘발성 메모리 소자(non-volatile memory device)는 외부 전원이 차단되어도 저장된 데이터를 계속 유지할 수 있는 소자이다. 메모리 소자의 고집적화가 진행됨에 따라, 메모리 셀의 면적 축소뿐만 아니라 메모리 셀의 수직 높이를 낮출 필요가 있다. 종래의 부유게이트형 비휘발성 메모리 소자(floating gate type non-volatile memory device)는 부유게이트를 가지므로, 메모리 셀의 높이를 낮추는데 한계를 가진다. 이러한 한계를 극복한 것이 부유게이트를 사용하지 않고 적어도 하나의 절연막에 전하를 저장할 수 있는 부유트랩형 비휘발성 메모리 소자(floating trap type non-volatile memory device)이다. 도 1에서 나타난 것과 같이 부유트랩형 비휘발성 메모리 소자는 반도체 기판의 소정영역에 소자분리막(11)이 배치되어 활성영역(13)을 한정한다. 상기 활성영역(13)을 복수개의 게이트 전극(30)이 가로지르고 상기 게이트 전극(30)과 상기 활성영역(13) 사이에 전하저장층(24)이 개재된다. 또한, 상기 게이트 전극(30)의 측벽에는 측벽스페이서(36)를 포함한다.

도 2 내지 도 5는 도 1의 I-I'를 따라 취해진 종래의 비휘발성 메모리 소자의 제조방법을 설명하기 위한 공정단면도들이다.

도 2를 참조하면, 반도체 기판의 소정영역에 소자분리막(11)을 형성하여 활성영역들(13)을 한정하고, 상기 소자분리막(11)이 형성된 반도체 기판 상에, 적층절연막(18) 및 게이트 도전막(20)을 형성한다. 일반적으로, 상기 적층절연막(18)은 제1 절연막(12), 제2 절연막(14) 및 제3 절연막(16)을 포함한다. 상기 제1 절연막(12)은 통상적으로 열산화막을 사용하여 얇게 형성하고, 상기 제2 절연막(14)은 일반적으로 실리콘 질화막을 사용하여 형성한다. 또한, 상기 제3 절연막(16)은 통상적으로 CVD산화막으로 형성한다.

도 3을 참조하면, 상기 게이트 도전막(20) 및 상기 적층절연막(18)을 차례로 패터닝하여 상기 소자분리막(11)을 가로지르는 복수개의 게이트 전극(30)을 형성한다. 상기 게이트 전극(30) 및 상기 활성영역(13) 사이에 차례로 적층된 터널산화막(22), 전하저장층(24) 및 플로팅 절연막(26)이 형성된다. 이 과정에서, 상기 터널산화막(22), 상기 플로팅절연막(26) 및 상기 게이트 전극(30)의 측벽은 식각에 의한 손상(damage)을 받아 결함밀도(defect density)가 증가한다. 이로 인하여, 상기 터널산화막(22) 및 상기 플로팅 절연막(26) 가장자리 부근의 트랩밀도가 높아진다. 그 결과, 상기 밀도가 높은 트랩을 통하여 게이트 전극(30) 및 반도체 기판(10)으로 트랩도움 누설전류(trap assisted leakage current)가 발생할 확률이 높아진다.

도 4를 참조하면, 상기 터널산화막(22), 상기 플로팅절연막(26) 및 상기 게이트 전극(30)의 측벽 손상을 완화시키기 위하여, 상기 반도체 기판에 열산화 공정을 적용하여 상기 게이트 전극(30)의 측벽 및 상부면에 캐핑절연막(32)을 형성한다.

도 5를 참조하면, 상기 게이트 전극(30) 및 상기 캐핑절연막(32)를 이온주입 마스크로 사용하여 상기 반도체 기판에 불순물을 주입하여 불순물 확산층(34)을 형성한다. 이어서, 상기 차례로 적층된 전하저장층(24), 플로팅절연막(26) 및 상기 캐핑절연막(32)의 측벽에 측벽스페이서(36)를 형성한다.

도 4 및 도 5에 도시된 바와 같이, 상기 열산화 공정이 진행되는 동안 반도체 기판(10) 및 터널산화막(22) 사이의 계면을 통하여 산소원자가 확산된다. 이 때, 확산된 산소원자들에 의해 상기 터널산화막(22)의 가장자리가 산화되는 버드's beak 현상에 의하여 상기 터널산화막(22)의 가장자리의 두께가 두꺼워지게 된다. 이로 인하여, 소자의 동작속도가 저하되는 문제를 발생한다. 또한, 상대적으로 두꺼운 터널산화막(22) 가장자리의 트랩밀도가 증가하여 터널산화막(22)의 가장자리를 통한 트랩도움

누설전류(trap assisted leakage current)가 증가한다. 상기 버즈빅(bird's beak)현상에 의하여 셀 머레이에서 터널산화막의 두께 편차가 증가함에 따라 소자 특성이 불균일해지는 문제점이 발생된다. 이러한 터널산화막(22)의 두께 증가는 게이트 전폭이 좁아질수록 더욱 심화된다. 따라서, 상기 트랩 밀도가 높은 터널산화막 및 상기 버즈빅 현상때문에 발생하는 소자의 동작특성 불량의 문제점을 해결할 수 있는 구조의 비휘발성 메모리 소자 및 그 제조방법이 요구된다.

본 발명이 이루고자하는 기술적 과제

본 발명의 목적은, 상술한 종래기술의 문제점을 해결하기 위하여 버즈빅이 없는 균일한 터널산화막을 갖는 비휘발성 메모리 소자 및 그 제조방법을 제공하는데 있다. 또한, 트랩 도함 터널링의 영향을 최소화할 수 있는 비휘발성 메모리 소자 및 그 제조방법을 제공하는데 있다.

본 발명의 구성 및 작용

상기 목적을 달성하기 위하여 본 발명의 비휘발성 메모리 소자는 전하저장층 및 게이트 전극을 포함한다. 상기 게이트 전극은 반도체 기판에 형성된 소자분리막 사이의 활성영역을 가로지른다. 또한 상기 전하저장층은 상기 게이트 전극 및 상기 활성영역을 사이에 개재되고, 상기 전하저장층의 가장자리는 연장되어 상기 게이트 전극의 측벽으로부터 돌출된 돌출부를 가진다.

본 발명의 실시예에서 상기 전하저장층은 상기 소자분리막에 의해 분리되어 있거나, 상기 소자분리막에 의해 분리되지 않고 상기 게이트 전극의 하부에 연속해서 배치된다. 상기 게이트 전극과 상기 전하저장층 사이에 블로킹 절연막이 개재되고, 상기 전하저장층과 상기 활성영역 사이에 터널산화막이 개재된다. 또한, 상기 게이트 전극의 양 측벽에 제1 측벽스페이서를 포함하고, 상기 전하저장층의 폭은 상기 게이트 전극의 폭 및 제1 측벽스페이서의 폭을 더한 값과 일치한다. 이에 더하여, 본 발명은 상기 전하저장층의 측벽 및 상기 제1 측벽스페이서를 덮는 제2 측벽스페이서를 더 포함할 수도 있다. 상기 게이트 전극의 측벽과 상기 측벽스페이서 사이에 게이트 캐핑절연막이 개재될 수 있다.

본 발명에 따른 비휘발성 메모리 소자는 셀머레이 영역 및 주변회로 영역을 구비한다. 셀 머레이 영역의 활성영역 상에 터널산화막, 전하저장층 및 블로킹 절연막으로 이루어진 적층절연막과 워드라인을 포함하는 제1 트랜지스터가 배치된다. 또한, 상기 주변회로 영역에 적어도 게이트 절연막 및 게이트 전극을 포함하는 제2 트랜지스터가 배치된다. 상기 제1 측벽스페이서는 상기 제1 트랜지스터 및 상기 제2 트랜지스터의 게이트 전극의 측벽에 각각 형성될 수 있다. 상기 제1 및 게이트 전극의 측벽의 각각의 상기 제1 측벽스페이서 상에 제2 측벽스페이서가 더 형성될 수 있다.

상술한 목적을 달성하기 위하여 본 발명은 비휘발성 메모리 소자의 제조방법을 제공한다. 이 방법은, 적어도 반도체 기판의 활성영역 상에 차례로 적층된 제1 절연막, 제2 절연막 및 제3 절연막을 포함하는 적층절연막을 형성한다. 상기 적층절연막이 형성된 반도체기판 상에 상기 활성영역을 가로지르는 복수개의 게이트 전극을 형성한다. 이어서, 상기 적층절연막을 패터닝하여 상기 게이트 전극 및 상기 활성영역 사이에 차례로 적층된 터널산화막, 전하저장층 및 블로킹절연막을 형성한다. 상기 터널산화막은 상기 패터닝된 제1 절연막에 해당하고, 상기 전하저장층은 상기 패터닝된 제2 절연막에 해당하고, 상기 블로킹절연막은 상기 패터닝된 제3 절연막에 해당한다. 이때, 상기 전하저장층은 가장자리가 상기 게이트 전극의 측벽으로부터 돌출된 돌출부를 가지도록 형성한다.

구체적으로, 상기 소자분리막은 통상적인 트렌치 소자분리 기술(conventional trench isolation technology)을 사용하여 형성할 수 있다. 이 경우, 상기 적층절연막은 상기 소자분리막이 형성된 반도체 기판의 전면에 형성하고, 상기 적층절연막 상에 게이트 도전막을 형성한다. 이어서, 상기 게이트 도전막을 패터닝하여 상기 활성영역을 가로지르는 게이트 전극을 형성할 수 있다. 또 다른 방법으로, 상기 소자분리막은 자기정렬 트렌치 소자분리 기술(self aligned trench isolation technology)을 사용하여 형성할 수 있다. 이 경우, 상기 소자분리막 사이의 활성영역 상에 적층절연막 및 하부 게이트 도전막이 차례로 형성되고, 상기 소자분리막이 형성된 반도체 전면에 상부 게이트 도전막을 형성한 후, 상기 상부 게이트 도전막 및 상기 하부 게이트 도전막을 차례로 패터닝하여 상기 활성영역을 가로지르는 게이트 전극을 형성할 수 있다.

본 발명의 실시예에서, 상기 전하저장층의 돌출부를 형성하기 위해서 상기 게이트 전극의 측벽에 제1 측벽스페이서를 형성한다. 이어서, 상기 제1 측벽스페이서 및 상기 게이트 전극을 식각마스크로 사용하여 적어도 상기 제3 절연막 및 상기 제2 절연막을 식각한다. 그 결과, 상기 게이트 전극의 측벽으로부터 돌출된 블로킹절연막 및 전하저장층이 형성된다. 또 다른 방법으로, 상기 제1 측벽스페이서를 형성하기 전에, 상기 게이트 전극의 양측으로 노출된 상기 제3 절연막을 제거할 수 있다. 이 경우, 상기 전하저장층은 상기 게이트 전극의 측벽으로부터 돌출된 돌출부를 가지고, 상기 제1 측벽스페이서는 상기 게이트 전극의 측벽 및 상기 돌출부의 상부를 덮는다. 이에 더하여 적어도 상기 전하저장층의 측벽 및 상기 제1 측벽스페이서를 덮는 제2 측벽스페이서를 더 형성할 수 있다.

이하 본 발명의 바람직한 실시예를 첨부한 도면을 참조하여 상세하게 설명하도록 한다. 그러나, 본 발명은 여기서 설명되어지는 실시예에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예들은 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되어지는 것이다. 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장되어진 것이다. 또한, 층이 다른 층 또는 기판 상에 있다고 언급되어지는 경우에 그것은 다른 층 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제3의 층이 개재될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다.

도 6은 본 발명의 제1 및 제2 실시예에 따른 비휘발성 메모리 소자를 설명하기 위한 평면도이다. 도면에서 참조부호 a로 표시된 부분은 셀 머레이 영역을 나타내고, 참조부호 b로 표시된 부분은 주변회로 영역을 나타낸다.

도 7은 도 6의 II-II'를 따라 취해진 본 발명의 제1 실시예에 따른 비휘발성 메모리 소자를 설명하기 위

한 단면도이다.

도 6 및 도 7을 참조하면, 반도체기판(100)의 소정영역에 소자분리막(101)이 배치된다. 상기 소자분리막(101)은 상기 셀 어레이 영역(a) 내에 복수개의 제1 활성영역(103)을 한정한다. 또한, 상기 소자분리막(101)은 상기 주변회로 영역(b) 내에 제2 활성영역(203)을 한정한다. 상기 셀 어레이 영역(a) 내에 상기 제1 활성영역(103) 및 상기 소자분리막(101)의 상부를 가로지르는 복수개의 워드라인(140), 즉, 복수개의 워드라인들이 배치된다. 상기 워드라인(140) 및 상기 제1 활성영역(103) 사이에는 적층절연막이 개재된다. 상기 적층절연막은 차례로 적층된 터널산화막(152), 전하저장층(154) 및 블로킹절연막(156)으로 구성된다. 상기 터널산화막(152)은 열산화막인 것이 바람직하고, 상기 전하저장층(154)은 실리콘질화막인 것이 바람직하다. 또한, 상기 블로킹절연막(156)은 CVD산화막인 것이 바람직하다. 상기 블로킹절연막(156) 및 상기 전하저장층(154) 역시 상기 워드라인(140)과 중첩되어 상기 제1 활성영역(103) 뿐만 아니라 상기 소자분리막(101)의 상부를 가로지른다. 상기 워드라인(140)의 측벽은 제1 측벽스페이서(146)에 의해 덮혀진다.

이에 더하여, 상기 워드라인(140) 및 상기 제1 측벽스페이서(146) 사이에 게이트 캐핑 산화막(142)이 개재될 수 있다. 적어도 상기 전하저장층(154)은 상기 워드라인(140)보다 더 넓은 폭을 갖는다. 이에 따라, 상기 전하저장층(154) 및 상기 블로킹절연막(156)은 상기 워드라인(140)의 측벽으로부터 돌출된 돌출부(151)를 갖는다. 따라서, 상기 워드라인(140) 및 상기 제1 활성영역(103)들 사이에 프로그램 전압 또는 소거전압에 의한 고전계가 인가될지라도, 상기 돌출부(151)에 인가되는 전계는 약하다. 결과적으로, 상기 돌출부(151)의 상부 및 하부에 각각 위치하는 블로킹 절연막(156) 및 터널산화막(152)을 통하여 흐르는 누설전류가 현저히 감소하므로 소프트 프로그램 특성 또는 데이터 유지 특성을 개선시킬 수 있다.

상기 제1 측벽스페이서(146)는 상기 워드라인(140)의 측벽 뿐만 아니라 상기 돌출부(151)의 상부를 덮는다. 더 나아가서, 상기 제1 측벽스페이서(146)의 외측벽, 상기 블로킹절연막(156)의 측벽 및 상기 전하저장층의 측벽은 제2 측벽스페이서(146)에 의해 덮혀질 수 있다. 상기 워드라인(140) 사이의 상기 제1 활성영역(103)에 제1 불순물 확산층(150)이 형성된다. 따라서, 상기 워드라인(140) 및 상기 제1 활성영역(103)이 교차하는 지점에 셀 트랜지스터, 즉 제1 트랜지스터가 형성된다. 여기서, 상기 워드라인(140)의 하부에 존재하는 터널산화막(152)은 균일한 두께를 갖는다. 다시 말해서, 상기 워드라인(140)의 적어도 가장자리 하부에 버즈벽에 기인하는 두꺼운 터널산화막은 존재하지 않는다. 따라서, 상기 셀 어레이 영역(a) 내에 배열된 복수개의 제1 트랜지스터들은 모두 균일한 문턱전압을 갖는다.

한편, 상기 주변회로 영역(b)에는 상기 제2 활성영역(203)의 상부를 가로지르는 게이트 전극(240)이 배치된다. 상기 게이트 전극(240) 및 상기 제2 활성영역(203) 사이에 게이트 절연막(202)이 배치된다. 상기 게이트 전극(240)의 측벽은 상기 제1 측벽스페이서(146)에 의해 덮혀진다. 이에 더하여, 상기 제1 측벽스페이서(146) 및 상기 게이트 전극(240) 사이에는 상기 게이트 캐핑 산화막(142)이 개재될 수 있다. 또한, 상기 게이트 전극(240)의 양 옆의 상기 제2 활성영역(203)에는 이중구조의 불순물 확산층(254)들이 형성된다. 상기 이중구조의 불순물 확산층(254)은 제2 불순물 확산층(250) 및 제3 불순물 확산층(252)을 포함한다. 결과적으로, 상기 불순물 확산층(254)은 멀티단계의 소오스/드레인 영역에 해당하고, 상기 제2 및 제3 불순물 확산층들(250, 252)은 각각 저농도 불순물 확산층 및 고농도 불순물 확산층에 해당한다.

도 8 내지 도 11은 도 6의 II-II'를 따라 취해진 본 발명의 제1 실시예에 따른 비휘발성 메모리 소자의 제조방법을 설명하기 위한 공정단면도들이다.

도 8을 참조하면, 먼저 반도체 기판(100)의 셀 어레이 영역(a) 및 주변회로 영역(b)에 각각 제1 활성영역(103) 및 제2 활성영역(203)을 한정하는 소자분리막(101)을 형성한다. 상기 소자분리막(101)이 형성된 반도체 기판(100)의 셀 어레이 영역(a)에 적층절연막(108) 및 게이트 도전막(120)을 차례로 형성하고, 주변회로 영역(b)에 게이트 절연막(202) 및 게이트 도전막(120)을 차례로 형성한다. 상기 적층절연막(108)은 제1 절연막(102), 제2 절연막(104), 제3 절연막(106)을 차례로 적층하여 형성하는 것이 바람직하다. 상기 제1 절연막(102)은 열산화막으로 형성하는 것이 바람직하다. 또한, 상기 제1 절연막(102)은 프로그램전압 및 소거전압을 낮추기 위하여 15Å 내지 35Å의 얇은 두께로 형성하는 것이 바람직하다. 본 발명의 실시예에서, 상기 제2 절연막(104)은 40 내지 100Å의 두께로 형성하는 것이 바람직하고, 상기 제3 절연막(106)은 40 내지 120Å의 두께로 형성하는 것이 바람직하다. 상기 게이트 도전막(120)은 폴리실리콘막 또는 폴리사이드막으로 형성할 수 있다. 상기 폴리사이드막은 폴리실리콘 및 메탈실리사이드막을 차례로 적층하여 형성한다.

도 9를 참조하면, 상기 게이트 도전막(120)을 패터닝하여 상기 셀 어레이영역(a)에서 상기 제1 활성영역(103)들을 가로지르는 복수개의 워드라인(140)을 형성하고, 상기 주변회로 영역(b)에서 적어도 상기 제2 활성영역(203) 상에 게이트 전극(240)을 형성한다. 이 때, 상기 워드라인(140)들 사이에 노출된 상기 제3 절연막(106)은 상기 게이트 도전막(120)을 식각하는 동안 과식각되거나, 플라즈마에 의한 손상을 받는다. 이로 인하여, 상기 워드라인(140)의 에지부근의 상기 제3 절연막에 결함부위(defect site)가 발생할 수 있다. 그 결과, 상기 결함부위를 통하여 트랩-투 트랩 터널링(trap to trap tunneling)이 일어날 수 있다. 그 결과, 이후 공정에서 형성될 전하저장층에 저장된 전하가 게이트 전극으로 빠져나가 소자의 동작에 바람직하지 못한 영향을 줄 수 있다. 이러한 문제를 해결하기 위하여 상기 워드라인(140) 및 상기 게이트 전극(240)이 형성된 반도체 기판에 열산화공정을 적용하여 상기 제3 절연막(106)의 손상을 완화시키는 것이 바람직하다. 결과적으로, 상기 워드라인(140) 및 상기 게이트 전극(140)의 측벽 및 상부면에 게이트 캐핑 산화막(142)이 형성된다.

도 10을 참조하면, 상기 워드라인(140)들 사이의 제1 활성영역(103)에 불순물들을 주입하여 제1 불순물확산층(150)을 형성하고, 상기 게이트 전극(240) 양측의 제2 활성영역(203)에 불순물들을 주입하여 제2 불순물 확산층(250)을 형성한다. 상기 제1 불순물확산층(150) 및 상기 제2 불순물확산층(250)은 동시에 형성할 수도 있다. 상기 제1 불순물 확산층(150) 및 상기 제2 불순물 확산층(250)은 상기 게이트 캐핑 산화막(142)을 형성하기 전에 형성할 수도 있다. 이어서, 상기 제1 및 제2 불순물확산층(150, 250)이 형성된 결과를 전면에 스페이서 절연막(144)을 콘포말하게 형성한다. 상기 스페이서 절연막(144)은 실리콘질

화막 또는 산화막으로 형성하는 것이 바람직하다.

도 11을 참조하면, 상기 스페이스 절연막(144)을 이방성 식각하여 상기 제1 및 게이트 전극(140, 240)의 측벽에 제1 측벽스페이서(146)를 형성한다. 상기 스페이스 절연막(144)을 산화막으로 형성하였을 경우, 상기 이방성 식각을 하는 동안 상기 제3 절연막(106)이 함께 식각하여 상기 제2 절연막(104)을 노출시킨다. 이와 달리 상기 스페이스 절연막(144)을 실리콘질화막으로 형성하였을 경우, 상기 제1 측벽스페이서(146)를 형성한 후, 상기 워드라인(140) 및 상기 제1 측벽스페이서(146)를 식각마스크로 사용하여 상기 제3 절연막(106)을 식각한다. 계속해서, 상기 제1 측벽스페이서(146) 및 상기 게이트 전극(140)을 식각마스크로 사용하여 적어도 상기 제2 절연막(108)을 식각한다. 결과적으로, 상기 워드라인(140) 및 상기 제1 활성영역(103) 사이에 적어도 제2 절연막 패턴(154) 및 제3 절연막 패턴(156)이 형성되고, 상기 제2 절연막 패턴(154) 및 상기 제3 절연막 패턴(156)의 가장자리는 연장되어 상기 워드라인(140)의 양측으로 돌출된 돌출부(151)를 가진다. 상기 제2 절연막 패턴(154)은 전하저장층에 해당하고, 상기 워드라인(140) 및 상기 제2 절연막 패턴(154) 사이에 개재된 제3 절연막 패턴(156)은 플로팅절연막에 해당한다. 또한, 상기 워드라인(140) 하부의 상기 제1 절연막(152)은 터널산화막에 해당한다.

상기 제1 측벽스페이서(146)를 형성한 후, 상기 주변회로 영역(b)에서 상기 게이트 전극(240)의 양측으로 노출된 제2 활성영역(203) 내에 불순물을 주입하여 제3 불순물 확산층(252)을 형성한다. 그 결과, 상기 게이트 전극(240) 양측의 제2 활성영역(203)에 이중불순물 확산층(254)이 형성된다. 상기 제3 불순물 확산층(252)은 상기 제2 절연막 패턴(154)을 형성하기 전 또는 후에 형성할 수 있다.

상기 제3 절연막 패턴(156) 및 상기 제2 절연막 패턴(154)을 형성한 후, 상기 셀 어레이 영역(a) 및 상기 주변회로 영역(b)에 제2 측벽스페이서(도 7의 148)를 더 형성할 수 있다. 상기 제2 측벽스페이서(도 7의 148)는 상기 셀 어레이 영역(a)에서 상기 제1 측벽스페이서(146), 상기 제3 절연막 패턴(156) 및 상기 제2 절연막 패턴(154)의 측벽을 덮고, 상기 주변회로 영역(b)에서 상기 제1 측벽스페이서(146)를 덮는다. 상기 제2 측벽스페이서(도 7의 148)를 더 형성한 경우, 상기 제3 불순물 확산층(252)은 상기 제2 측벽스페이서(148)를 형성한 후 상기 게이트 전극(240) 양측에 노출된 제2 활성영역(203)에 형성할 수 있다. 또한, 상기 제1, 제2 불순물 확산층(150, 250)을 상기 제1 측벽스페이서(146)를 형성한 후 형성하고, 상기 제3 불순물 확산층(252)을 상기 제2 측벽스페이서(148)를 형성한 후에 형성할 수 있다.

결과적으로, 상기 전하저장층(158)의 폭은 상기 게이트 전극(140)의 폭 및 상기 측벽스페이서(146)의 폭을 더한 합과 일치한다. 즉, 본 발명의 비휘발성 메모리 소자는 종래기술과 달리 상기 전하저장층(158)의 가장자리가 연장되어 상기 게이트 전극(140)의 측벽으로부터 돌출된 돌출부(151)를 가진다. 따라서, 상기 돌출부(151) 상, 하부의 절연막에 결함부위(defect site)가 발생하더라도 종래 기술에 의한 비휘발성 메모리 소자에 비해 소자의 동작특성에 크게 영향을 주지 않는다. 또한, 이후 열공정에 의해 버즈빅(bird's beak) 현상이 발생할 수 있는 터널산화막(152)의 가장자리 부분도 상기 게이트 전극(140)으로부터 돌출되기 때문에 본 발명의 비휘발성 메모리 소자는 종래기술에 비하여 데이터 유지(data retention) 특성이 우수하다.

도 12 내지 도 14는 본 발명의 제2 실시예에 따른 비휘발성 메모리 소자의 제조방법을 설명하기 위한 공정단면도들이다.

도 12를 참조하면, 도 8에서 설명한 바와 같이 게이트 도전막(도 8의 120)을 형성하는 단계까지는 상술한 제1 실시예와 동일하다. 이어서, 상기 게이트 도전막(도 8의 120) 및 상기 제3 절연막(도 8의 106)을 차례로 패터닝하여, 상기 셀어레이 영역(a)에서 상기 제2 절연막(104) 상에 워드라인(140) 및 제3 절연막 패턴(156a)을 형성하고, 상기 주변회로 영역(b)에서 게이트 전극(240)을 형성한다. 상기 제3 절연막 패턴(156a)은 플로팅절연막에 해당한다. 이에 더하여, 상기 반도체 기판에 열산화공정을 적용하여 상기 제1 및 게이트 전극(140, 240)의 측벽 및 상부면에 게이트 캡핑 산화막(142')을 더 형성할 수 있다.

도 13을 참조하면, 상기 셀어레이 영역(a)에서 상기 워드라인(140)을 사이의 제1 활성영역(103) 내에 불순물을 주입하여 제1 불순물확산층(150)을 형성하고, 상기 주변회로 영역(b)에서 상기 게이트 전극(240) 양측에 노출된 제2 활성영역(203) 내에 불순물을 주입하여 제2 불순물확산층(250)을 형성한다. 이어서, 상기 제1, 게이트 전극(140, 250)이 형성된 반도체 기판(100)의 전면에 스페이스 절연막(144)을 콘포말하게 형성한다. 상기 스페이스 절연막(144)은 실리콘질화막 또는 산화막으로 형성할 수 있다.

도 14를 참조하면, 상기 스페이스 절연막(144)을 이방성 식각하여, 상기 제1 및 게이트 전극(140, 240)의 측벽에 제1 측벽스페이서(146)를 형성한다. 상기 스페이스 절연막(144)을 실리콘질화막으로 형성하였을 경우, 상기 스페이스 절연막(144)을 이방성 식각하는 동안 상기 제2 절연막(104)을 함께 식각하여 상기 제1 측벽스페이서(146)를 형성함과 동시에 상기 워드라인(140)의 측벽으로부터 돌출된 돌출부(151)를 가지는 제2 절연막 패턴(154)을 형성할 수 있다.

이와는 달리, 상기 스페이스 절연막(144')을 산화막으로 형성하였을 경우, 상기 스페이스 절연막(144')을 이방성 식각하여, 상기 워드라인(140)의 측벽에 제1 측벽스페이서(146)를 형성한다. 이어서, 상기 제1 측벽스페이서(146) 및 상기 게이트 전극(140)을 식각마스크로 사용하여, 상기 제2 절연막(104)을 식각하여 상기 게이트 전극(140)의 측벽으로부터 돌출된 돌출부(151)를 가지는 제2 절연막 패턴(154)을 형성한다. 상기 제2 절연막 패턴(154)은 전하저장층에 해당한다. 상기 제1 측벽스페이서(146)를 형성한 후, 상기 주변회로 영역(b)에서 상기 게이트 전극(240)의 양측의 제2 활성영역(203) 내에 불순물을 주입하여 제3 불순물 확산층(252)을 형성한다. 그 결과, 상기 게이트 전극(240) 양측의 제2 활성영역(203)에 이중 불순물 확산층(254)이 형성된다. 상기 제3 불순물 확산층(252)은 상기 제2 절연막 패턴(154)을 형성하기 전 또는 후에 형성할 수 있다.

상기 제2 절연막 패턴(154)을 형성한 후, 상기 셀 어레이 영역(a) 및 상기 주변회로 영역(b)에 제2 측벽스페이서(도 7의 148)를 더 형성할 수 있다. 상기 제2 측벽스페이서(도 7의 148)는 상기 셀 어레이 영역(a)에서 상기 제1 측벽스페이서(146) 및 상기 제3 절연막 패턴(156a) 및 상기 제2 절연막 패턴(154)의 측벽을 덮고, 상기 주변회로 영역(b)에서 상기 제1 측벽스페이서(146)를 덮는다. 이 경우, 상기 제3 불순물 확산층(252)은 상기 제2 측벽스페이서(도 7의 148)를 형성한 후 상기 게이트 전극(240) 양측의 제2 활성영역(203)에 형성할 수 있다. 또한, 상기 제1, 제2 불순물 확산층(150, 250)을 상기 제1

촉벽스페이스(146)를 형성한 이후에 형성하고, 상기 제3 불순물 확산층(252)을 상기 제2 촉벽스페이스(도 7의 148)를 형성한 이후에 형성할 수 있다.

도시된 바와 같이 본 발명의 제2 실시예에 따른 비휘발성 메모리 소자의 구조는 상술한 제1 실시예와 거의 유사하다. 상술한 제1 실시예와 다른 점은 상기 제3 절연막 패턴(156a)은 상기 워드라인(140)에 자기 정렬되어 그 폭이 상기 워드라인(140)의 폭과 일치하는 것이다. 따라서, 상기 제1 촉벽스페이스(146)은 상기 게이트 전극(140)의 촉벽 및 상기 제3 절연막 패턴(156a)의 촉벽을 덮고, 상기 돌출부(151)의 상부를 덮는다.

도 15는 본 발명의 제3 및 제4 실시예에 따른 비휘발성 메모리 소자를 설명하기 위한 평면도이다. 도면에 참조부호 a로 표시된 부분은 셀 어레이 영역을 나타내고, 참조부호 b로 표시된 부분은 주변회로 영역을 나타낸다.

도 16은 도 15의 III-III'를 따라 취해진 본 발명의 제3 실시예에 따른 비휘발성 메모리 소자를 설명하기 위한 단면도이다.

도 15 및 도 16을 참조하면, 반도체기판(100)의 소정영역에 소자분리막(101')이 배치된다. 상기 소자분리막(101')은 상기 셀 어레이 영역(a) 내에 복수개의 제1 활성영역들(103')을 한정한다. 또한, 상기 소자분리막(101')은 상기 주변회로 영역(b) 내에 제2 활성영역(203')을 한정한다. 상기 셀 어레이 영역(a) 내에 상기 제1 활성영역들(103') 및 상기 소자분리막(101')의 상부를 가로지르는 복수개의 워드라인들(183)이 배치된다. 상기 워드라인들(183) 및 상기 제1 활성영역들(103') 사이에는 적층절연막이 개재된다. 상기 적층절연막은 차례로 적층된 터널산화막(162), 전하저장층(194) 및 블로킹절연막(196)으로 구성된다. 상기 터널산화막(162)은 열산화막인 것이 바람직하고, 상기 전하저장층(194)은 실리콘질화막인 것이 바람직하다. 또한, 상기 블로킹절연막(196)은 CVD산화막인 것이 바람직하다. 상기 블로킹절연막(196) 및 상기 전하저장층(194) 역시 상기 워드라인(183)과 중첩되어 상기 제1 활성영역(103') 뿐만 아니라 상기 소자분리막(101')의 상부를 가로지른다. 상기 워드라인(183)의 촉벽은 제1 촉벽스페이스(186)에 의해 덮혀진다.

이에 더하여, 상기 워드라인(183) 및 상기 제1 촉벽스페이스(186) 사이에 게이트 캐핑 산화막(182)이 개재될 수 있다. 상기 전하저장층(194) 및 상기 블로킹절연막(196)은 상기 워드라인(183)보다 더 넓은 폭을 갖는다. 이에 따라, 상기 전하저장층(194) 및 상기 블로킹절연막(196)은 상기 워드라인(183)의 촉벽으로부터 돌출된 돌출부(191)를 갖는다. 따라서, 상기 워드라인(183) 및 상기 제1 활성영역(103')들 사이에 프로그램 전압 또는 소거전압에 의한 고전계가 인가될지라도, 상기 돌출부(191)에 인가되는 전계는 약하다. 결과적으로, 상기 돌출부(191)의 상부 및 하부에 각각 위치하는 블로킹 절연막(196) 및 터널산화막(162)을 통하여 흐르는 누설전류가 현저히 감소하므로 소프 프로그램 특성 또는 데이터 유지 특성 등을 개선시킬 수 있다.

상기 제1 촉벽스페이스(146)는 상기 워드라인(183)의 촉벽 뿐만 아니라 상기 돌출부(191)의 상부를 덮는다. 더 나아가서, 상기 제1 촉벽스페이스(146)의 외촉벽, 상기 블로킹절연막(196)의 촉벽 및 상기 전하저장층의 촉벽은 제2 촉벽스페이스(146)에 의해 덮혀질 수 있다. 상기 워드라인들(183) 사이의 상기 제1 활성영역(103')에 제1 불순물 확산층(190)이 형성된다. 따라서, 상기 워드라인(183) 및 상기 제1 활성영역(103')이 교차하는 지점에 셀 트랜지스터, 즉 제1 트랜지스터가 형성된다. 여기서, 상기 워드라인(183)의 하부에 존재하는 터널산화막(162)은 균일한 두께를 갖는다. 다시 말해서, 상기 워드라인(183)의 적어도 가장자리 하부에 버즈빅에 기인하는 두꺼운 터널산화막은 존재하지 않는다. 따라서, 상기 셀 어레이 영역(a) 내에 배열된 복수개의 제1 트랜지스터들은 모두 균일한 문턱전압을 갖는다.

한편, 상기 주변회로 영역(b)에는 상기 제2 활성영역(203')의 상부를 가로지르는 게이트 전극(283)이 배치된다. 상기 게이트 전극(283) 및 상기 제2 활성영역(203') 사이에 게이트 절연막(282)이 개재된다. 상기 게이트 전극(283)의 촉벽은 상기 제1 촉벽스페이스(186)에 의해 덮혀진다. 이에 더하여, 상기 제1 촉벽스페이스(186)의 외촉벽은 상기 제2 촉벽스페이스에 의해 덮혀질 수도 있다. 상기 제1 촉벽스페이스(186) 및 상기 게이트 전극(283) 사이에는 상기 게이트 캐핑 산화막(182)이 개재될 수 있다. 또한, 상기 게이트 전극(283)의 양 옆의 상기 제2 활성영역(203')에는 이중구조의 불순물 확산층(294)들이 형성된다. 상기 이중구조의 불순물 확산층(294)은 제2 불순물 확산층(290) 및 제3 불순물 확산층(292)을 포함한다. 결과적으로, 상기 불순물 확산층(294)은 열디퓨전의 소오스/드레인 영역에 해당하고, 상기 제2 및 제3 불순물 확산층들(290, 292)은 각각 저농도 불순물 확산층 및 고농도 불순물 확산층에 해당한다.

상술한 제1 실시예와 다른점은 상기 소자분리막(101')을 자기정렬트렌치 기술(S.A.STI:self aligned shallow trench technology)을 사용하여 형성하는 것이다. 이에 따라, 상기 워드라인(183)은 상기 제1 활성영역(103')을 가로지르는 상부 워드라인(180) 및 상기 상부 워드라인(180)과 상기 제1 활성영역(103') 사이에 개재된 하부 워드라인(180)으로 구성된다. 도시된 바와 같이, 상기 게이트 전극(283)은 하부 게이트 전극(281) 및 상부 게이트 전극(280)으로 구성될 수 있다.

도 17 내지 도 19는 도 15의 III-III'를 따라 취해진 본 발명의 제3 실시예에 따른 비휘발성 메모리 소자의 제조방법을 설명하기 위한 공정단면도들이다.

도 17을 참조하면, 반도체 기판(100)에 적층절연막(168)을 형성하고, 주변회로 영역(b)에 형성된 상기 적층절연막(168)을 제거하고 게이트 절연막(262)을 형성한 후, 상기 반도체 기판(100)의 전면에 하부 게이트 도전막(169) 및 하드마스크막을 형성한다. 상기 셀 어레이 영역(a)의 상기 하드마스크막, 상기 하부 게이트 도전막(169), 상기 적층절연막(168) 및 상기 반도체 기판(100)과 상기 주변회로 영역(b)의 상기 하드마스크막, 상기 하부 게이트 도전막(169) 및 상기 반도체 기판(100)을 차례로 패터닝하여 반도체 기판(100)의 소정영역에 트렌치를 형성한다. 상기 제1 절연막(162)은 낮은 프로그램전압 및 소거전압에서도 전하의 터널링이 일어나도록 하기 위하여 15 내지 35Å의 얇은 두께로 형성하는 것이 바람직하다. 제1 실시예에서 상술한 바와 같이 상기 제2 절연막(164)은 실리콘질화막으로써 40 내지 100Å 두께로 형성하고, 상기 제3 절연막(166)은 CVD산화막으로써 40 내지 120Å 두께로 형성하는 것이 바람직하다. 이어서, 상기 트렌치 영역에 절연막을 채워 소자분리막(101')을 형성하고, 상기 하드마스크막을 제거한다.

도 18을 참조하면, 상기 소자분리막(101')이 형성된 반도체 기판(100)의 전면에 상부 게이트 도전막(170)

를 형성한다. 상기 상부 게이트 도전막(170)은 폴리실리콘막 또는 폴리사이드막으로 형성하는 것이 바람직하다. 상기 폴리사이드막은 폴리실리콘막 및 메탈실리사이드막을 차례로 적층하여 형성할 수 있다.

도 19를 참조하면, 상기 상부 게이트 도전막(170) 및 상기 하부 게이트 도전막(169)을 차례로 패터닝하여 상기 셀 어레이 영역(a)에 상기 제1 활성영역(103')을 가로지르는 복수개의 워드라인(183)을 형성하고, 상기 주변회로 영역(b)의 상기 제2 활성영역(203')을 가로지르는 게이트 전극(283)을 형성한다. 이어서, 상술한 제1 실시예와 같은 방법으로, 상기 워드라인(183)을 사이의 제1 활성영역(103')에 제1 불순물확산층(190) 및 상기 게이트 전극(283) 양측의 제2 활성영역(203')에 제2 불순물확산층(290)을 형성하고, 상기 제1 및 게이트 전극(183)의 측벽에 제1 측벽스페이서(186)를 형성한다. 상기 워드라인(183)은 차례로 적층된 하부 워드라인(181) 및 상부 워드라인(180)으로 구성되고, 상기 게이트 전극(283)은 차례로 적층된 하부 게이트 전극(280) 및 상부 게이트 전극(281)로 구성된다. 상기 셀어레이 영역(a)의 상기 측벽스페이서(186) 및 상기 게이트 전극(183)을 식각마스크로 사용하여 적어도 상기 제3 절연막(166) 및 상기 제2 절연막(164)을 식각한다. 그 결과, 상기 게이트 전극(183)과 상기 각각의 제1 활성영역(103')을 사이에 제3 절연막 패턴(196) 및 제2 절연막 패턴(194)이 형성된다. 상기 중간절연막 패턴(194)은 가장자리가 연장되어 상기 게이트 전극(183)의 측벽으로부터 돌출된 돌출부(191)를 가진다. 상기 제2 절연막 패턴(194)은 전하저장층에 해당하고, 상기 워드라인(183) 및 상기 제2 절연막 패턴(194) 사이에 개재된 상기 제3 절연막 패턴(196)은 플로팅절연막에 해당한다. 또한, 상기 제2 절연막 패턴(194) 및 상기 제1 활성영역(103') 사이에 개재된 상기 제1 절연막 패턴(162)은 터널산화막에 해당한다. 상기 제1 측벽스페이서(186)를 형성한 후, 상기 주변회로 영역(b)에서 상기 게이트 전극(283)의 양측의 제2 활성영역(203') 내에 불순물을 주입하여 제3 불순물 확산층(292)을 형성한다. 그 결과, 상기 게이트 전극(283) 양측의 제2 활성영역(203') 내에 이중불순물 확산층(294)이 형성된다. 상기 제3 불순물 확산층(292)은 상기 제2 절연막 패턴(194)을 형성하기 전 또는 후에 형성할 수 있다.

이에 더하여, 상기 셀 어레이 영역(a) 및 상기 주변회로 영역(b)에 제2 측벽스페이서(188)를 더 형성할 수 있다. 상기 제2 측벽스페이서(188)는 상기 셀 어레이 영역(a)에서 상기 제3 절연막 패턴(196) 및 상기 제2 절연막 패턴(194)의 측벽을 덮고, 상기 주변회로 영역(b)에서 상기 제1 측벽스페이서(146)를 덮는다. 이 경우, 상기 제1, 제2 불순물 확산층(190, 290)은 상기 제1 측벽스페이서(146)를 형성한 이후에 형성할 수 있다. 또한, 상기 제3 불순물 확산층(292)은 상기 제2 측벽스페이서(148)를 형성한 후 상기 게이트 전극(283) 양측의 제2 활성영역(203')에 형성할 수 있다.

도 20은 도 15의 III-III'를 따라 취해진 본 발명의 제2 실시예의 변형예에 따른 비휘발성 메모리 소자를 설명하기 위한 단면도이다.

도 20을 참조하면, 본 발명의 제4 실시예는 상기 제3 실시예와 마찬가지로 자기정렬 트렌치 기술(S.A.STI:self aligned shallow trench technology)를 사용하여 소자분리막을 형성한다. 상부 게이트 도전막을 형성하는 단계까지는 상술한 제1 실시예의 변형예와 동일하다. 이후 공정은 상술한 제2 실시예에서 설명한 바와 같이 진행하여 반도체 기판(100)의 셀 어레이 영역(a)의 제1 활성영역(103')을 가로지르는 워드라인(183) 및 상기 주변회로 영역(b)의 제2 활성영역(203')에 소자분리막(101') 상부까지 연장된 게이트 전극(283)을 형성한다. 상기 제1, 게이트 전극(183)의 측벽 및 상부면에 게이트 캐핑 산화막(182')가 더 형성될 수 있다. 도시된 것과 같이, 상기 워드라인(183)과 상기 제1 활성영역(103') 사이에 차례로 적층된 터널산화막(162), 전하저장층(194) 및 플로팅절연막(196a)이 개재된다. 상기 터널산화막(162), 상기 전하저장층(194) 및 상기 플로팅 절연막(196a)은 상기 소자분리막(101a) 사이의 제1 활성영역(103') 상에 위치한다. 상기 플로팅 절연막(196a)은 상기 워드라인(183)과 자기정렬되어 그 폭이 일치한다. 상기 전하저장층(194)의 측벽은 상기 게이트 전극(183)의 측벽으로부터 돌출된 돌출부(191)를 가진다. 상기 셀어레이 영역(a)의 상기 워드라인(183)의 측벽 및 상기 전하저장층(194)의 돌출부 상부, 상기 주변회로 영역(b)의 상기 게이트 전극(283)의 측벽에 제1 측벽스페이서(186)가 형성된다. 이에 더하여, 상기 셀어레이 영역(a)에서 상기 제1 측벽스페이서(186) 및 상기 전하저장층(194)의 측벽을 덮고, 상기 주변회로 영역(b)에서 상기 제1 측벽스페이서(186)를 덮는 제2 측벽스페이서(188)를 더 포함할 수도 있다. 상기 워드라인(183)을 사이의 제1 활성영역(103') 내에 제1 불순물확산층(190)이 형성되어 있고, 상기 게이트 전극(283) 양측의 제2 활성영역(203') 내에 제2 불순물확산층(290) 및 제3 불순물확산층(292)으로 구성된 이중불순물 확산층(294)이 형성될 수 있다.

발명의 효과

상술한 바와 같이 본 발명에 따르면, 전하저장층의 가장자리가 연장되어 게이트 전극의 측벽으로부터 돌출된 돌출부를 가진다. 이에 따라, 결함밀도(defect density)가 높은 플로팅절연막 및 터널산화막의 가장자리 또한 게이트 전극의 측벽으로부터 돌출된다. 그 결과, 플로팅절연막 및 터널산화막의 가장자리의 결함부위(defect site)를 통하여 흐르는 누설전류를 현저히 감소시킬 수 있으므로 종래 기술에 비하여 데이터 유지 특성을 향상시킬 수 있다.

또한, 본 발명에 따르면, 반복되는 동작 사이클(operation cycle)에도 특성이 저하되는 현상을 줄일 수 있다. 이에 더하여, 게이트 전극의 하부에 버퍼층이 없는 터널산화막을 형성하는 것이 가능하다. 이에 따라, 메모리 셀들의 문턱전압 분포범위를 감소시킬 수 있다.

(5) 청구의 범위

청구항 1. 반도체기판의 소정영역에 한정된 활성영역;

상기 활성영역의 상부를 가로지르는 게이트 전극; 및

상기 게이트 전극 및 적어도 상기 활성영역 사이에 차례로 적층된 터널산화막, 전하저장층 및 플로팅절연막을 포함하고, 적어도 상기 전하저장층은 상기 게이트 전극의 측벽으로부터 연장된 돌출부를 갖는 것을 특징으로 하는 비휘발성 메모리소자.

청구항 2. 제 1 항에 있어서,

상기 터널산화막 및 상기 불로킹절연막은 실리콘 산화막이고, 상기 전하저장층은 실리콘 질화막인 것을 특징으로 하는 비휘발성 메모리소자.

청구항 3. 제 1 항에 있어서,

상기 불로킹절연막은 상기 게이트 전극과 자기정렬되어 상기 게이트 전극과 동일한 쪽을 갖는 것을 특징으로 하는 비휘발성 메모리소자.

청구항 4. 제 3 항에 있어서,

상기 게이트 전극의 측벽 및 상기 불로킹절연막의 측벽을 덮는 제1 측벽 스페이서를 더 포함하되, 상기 제1 측벽 스페이서는 상기 전하저장층의 돌출부 상에 위치하는 것을 특징으로 하는 비휘발성 메모리소자.

청구항 5. 제 4 항에 있어서,

상기 전하저장층의 폭은 상기 게이트 전극의 폭 및 상기 게이트 전극의 양 측벽을 덮는 상기 제1 측벽 스페이서들의 폭을 더한 값과 동일한 것을 특징으로 하는 비휘발성 메모리소자.

청구항 6. 제 4 항에 있어서,

상기 제1 측벽 스페이서 및 상기 게이트 전극 사이에 개재된 게이트 캐핑 산화막을 더 포함하는 것을 특징으로 하는 비휘발성 메모리소자.

청구항 7. 제 4 항에 있어서,

상기 제1 측벽 스페이서의 외측벽 및 상기 전하저장층의 측벽을 덮는 제2 측벽 스페이서를 더 포함하는 것을 특징으로 하는 비휘발성 메모리소자.

청구항 8. 제 1 항에 있어서,

상기 불로킹절연막은 상기 게이트 전극의 측벽으로부터 연장된 돌출부를 갖되, 상기 불로킹절연막은 상기 전하저장층과 동일한 쪽을 갖는 것을 특징으로 하는 비휘발성 메모리소자.

청구항 9. 제 8 항에 있어서,

상기 게이트 전극의 측벽을 덮는 제1 측벽 스페이서를 더 포함하되, 상기 제1 측벽 스페이서는 상기 불로킹절연막의 돌출부 상에 위치하는 것을 특징으로 하는 비휘발성 메모리소자.

청구항 10. 제 9 항에 있어서,

상기 전하저장층의 폭은 상기 게이트 전극의 폭 및 상기 게이트 전극의 양 측벽을 덮는 상기 제1 측벽 스페이서들의 폭을 더한 값과 동일한 것을 특징으로 하는 비휘발성 메모리소자.

청구항 11. 제 9 항에 있어서,

상기 게이트 전극 및 상기 제1 측벽 스페이서 사이에 개재된 게이트 캐핑 산화막을 더 포함하는 것을 특징으로 하는 비휘발성 메모리소자.

청구항 12. 제 9 항에 있어서,

상기 제1 측벽 스페이서의 외측벽, 상기 불로킹절연막의 측벽 및 상기 전하저장층의 측벽을 덮는 제2 측벽 스페이서를 더 포함하는 것을 특징으로 하는 비휘발성 메모리소자.

청구항 13. 반도체기판의 소정영역에 형성되어 적어도 하나의 활성영역을 한정하는 복수개의 평행한 소자분리막들;

상기 활성영역 및 그 양 옆에 인접한 상기 소자분리막들을 가로지르는 게이트 전극; 및

상기 게이트 전극 및 적어도 상기 활성영역 사이에 차례로 적층된 터널산화막, 전하저장층 및 불로킹절연막을 포함하되, 적어도 상기 전하저장층은 상기 소자분리막과 평행한 방향을 따라 확장되어 상기 게이트 전극의 측벽으로부터 연장된 돌출부를 갖는 것을 특징으로 하는 비휘발성 메모리소자.

청구항 14. 제 13 항에 있어서,

상기 게이트 전극은

상기 활성영역 및 상기 소자분리막을 가로지르는 상부 게이트 전극; 및

상기 상부 게이트 전극 및 상기 활성영역 사이에 개재된 하부 게이트 전극을 포함하되, 상기 터널산화막, 상기 전하저장층, 상기 불로킹절연막 및 상기 하부 게이트 전극은 서로 이웃한 상기 소자분리막 사이의 상기 활성영역 상에 차례로 적층된 것을 특징으로 하는 비휘발성 메모리소자.

청구항 15. 제 13 항에 있어서,

상기 전하저장층 및 상기 불로킹절연막은 상기 게이트 전극과 평행한 방향을 따라 연장되어 상기 활성영역 및 상기 소자분리막들의 상부를 가로지르는 것을 특징으로 하는 비휘발성 메모리소자.

청구항 16. 제 13 항에 있어서,

상기 불로킹 절연막은 상기 게이트 전극과 자기정렬되어 상기 게이트 전극과 동일한 쪽을 갖는 것을 특징으로 하는 비휘발성 메모리소자.

청구항 17. 제 16 항에 있어서,

상기 게이트 전극의 측벽 및 상기 불로킹 절연막의 측벽을 덮는 제1 측벽 스페이서를 더 포함하되, 상기 제1 측벽 스페이서는 상기 전하저장층의 돌출부 상에 위치하는 것을 특징으로 하는 비휘발성 메모리소자.

청구항 18. 제 17 항에 있어서,

상기 제1 측벽 스페이서 및 상기 게이트 전극 사이에 개재된 게이트 캐핑 산화막을 더 포함하는 것을 특징으로 하는 비휘발성 메모리소자.

청구항 19. 제 17 항에 있어서,

상기 제1 측벽 스페이서의 외측벽 및 상기 전하저장층의 측벽을 덮는 제2 측벽 스페이서를 더 포함하는 것을 특징으로 하는 비휘발성 메모리소자.

청구항 20. 제 13 항에 있어서,

상기 불로킹절연막은 상기 게이트 전극의 측벽으로부터 연장된 돌출부를 갖되, 상기 불로킹절연막은 상기 전하저장층과 동일한 폭을 갖는 것을 특징으로 하는 비휘발성 메모리소자.

청구항 21. 제 20 항에 있어서,

상기 게이트 전극의 측벽을 덮는 제1 측벽 스페이서를 더 포함하되, 상기 제1 측벽 스페이서는 상기 불로킹절연막의 돌출부 상에 위치하는 것을 특징으로 하는 비휘발성 메모리소자.

청구항 22. 제 21 항에 있어서,

상기 게이트 전극 및 상기 제1 측벽 스페이서 사이에 개재된 게이트 캐핑 산화막을 더 포함하는 것을 특징으로 하는 비휘발성 메모리소자.

청구항 23. 제 21 항에 있어서,

상기 제1 측벽 스페이서의 외측벽, 상기 불로킹절연막의 측벽 및 상기 전하저장층의 측벽을 덮는 제2 측벽 스페이서를 더 포함하는 것을 특징으로 하는 비휘발성 메모리소자.

청구항 24. 셀 어레이 영역 및 주변회로 영역을 갖는 비휘발성 메모리소자에 있어서,

반도체기판의 소정영역에 형성되어 상기 셀 어레이 영역 및 상기 주변회로 영역 내에 각각 제1 활성영역 및 제2 활성영역을 한정하는 소자분리막을;

상기 제2 활성영역을 가로지르는 게이트 전극;

상기 제2 활성영역 및 상기 게이트 전극 사이에 개재된 게이트 절연막;

상기 제1 활성영역을 가로지르는 복수개의 워드라인들; 및

상기 워드라인들 및 적어도 상기 제1 활성영역 사이에 개재된 적층절연막을 포함하되, 상기 적층절연막은 차례로 적층된 터널산화막, 전하저장층 및 불로킹절연막으로 구성되고, 적어도 상기 전하저장층은 상기 워드라인들을 가로지르는 방향을 따라 연장되어 상기 워드라인들의 양 옆에 돌출부를 갖는 것을 특징으로 하는 비휘발성 메모리소자.

청구항 25. 제 24 항에 있어서,

상기 워드라인들의 각각은

상기 제1 활성영역 및 그 양 옆에 인접한 상기 소자분리막들의 상부를 가로지르는 상부 워드라인; 및

상기 제1 활성영역 및 상기 상부 워드라인 사이에 개재된 하부 워드라인을 포함하되, 상기 적층절연막 및 상기 하부 워드라인은 상기 소자분리막 사이의 상기 제1 활성영역 상에 차례로 적층된 것을 특징으로 하는 비휘발성 메모리소자.

청구항 26. 제 25 항에 있어서,

상기 게이트 전극은

상기 제2 활성영역 및 이와 인접한 상기 소자분리막의 상부를 가로지르는 상부 게이트 전극; 및

상기 상부 게이트 전극 및 상기 제2 활성영역 사이에 개재된 하부 게이트 전극을 포함하되, 상기 게이트 절연막 및 상기 하부 게이트 전극은 상기 제2 활성영역 상에 차례로 적층된 것을 특징으로 하는 비휘발성 메모리소자.

청구항 27. 제 24 항에 있어서,

상기 전하저장층 및 상기 불로킹절연막은 상기 워드라인과 평행한 방향을 따라 연장되어 상기 활성영역 및 상기 소자분리막들의 상부를 가로지르는 것을 특징으로 하는 비휘발성 메모리소자.

청구항 28. 제 24 항에 있어서,

상기 불로킹절연막은 그 위에 적층된 상기 워드라인과 자기정렬되어 상기 워드라인과 동일한 폭을 갖는 것을 특징으로 하는 비휘발성 메모리소자.

청구항 29. 제 28 항에 있어서,

상기 워드라인의 측벽 및 상기 불로킹절연막의 측벽을 덮는 제1 측벽 스페이서를 더 포함하되, 상기 제1 측벽 스페이서는 상기 전하저장층의 돌출부 상에 위치하는 것을 특징으로 하는 비휘발성 메모리소자.

청구항 30. 제 29 항에 있어서,

상기 제1 측벽 스페이서의 외측벽 및 상기 전하저장층의 측벽을 덮는 제2 측벽 스페이서를 더 포함하는 것을 특징으로 하는 비휘발성 메모리소자.

청구항 31. 제 24 항에 있어서,

상기 플로팅절연막은 상기 워드라인의 측벽으로부터 연장된 돌출부를 갖되, 상기 플로팅절연막은 상기 전하저장층과 동일한 폭을 갖는 것을 특징으로 하는 비휘발성 메모리소자.

청구항 32. 제 31 항에 있어서,

상기 워드라인의 측벽을 덮는 제1 측벽 스페이서를 더 포함하되, 상기 제1 측벽 스페이서는 상기 플로팅절연막의 돌출부 상에 위치하는 것을 특징으로 하는 비휘발성 메모리소자.

청구항 33. 제 32 항에 있어서,

상기 제1 측벽 스페이서의 외측벽, 상기 플로팅절연막의 측벽 및 상기 전하저장층의 측벽을 덮는 제2 측벽 스페이서를 더 포함하는 것을 특징으로 하는 비휘발성 메모리소자.

청구항 34. 제 24 항에 있어서,

상기 게이트 전극의 양 옆에 위치한 상기 제2 활성영역에 형성된 소오스/드레인 영역을 더 포함하되, 상기 소오스/드레인 영역은 엘디디 구조를 갖는 것을 특징으로 하는 비휘발성 메모리소자.

청구항 35. 반도체기판 상에 적층절연막을 형성하되, 상기 적층절연막은 제1 내지 제3 절연막을 차례로 적층시키어 형성하는 단계;

상기 절층절연막의 상부를 가로지르는 게이트 전극을 형성하는 단계; 및

적어도 상기 제3 절연막 및 상기 제2 절연막을 패터닝하여 상기 게이트 전극 및 상기 제1 절연막 사이에 차례로 적층된 전하저장층 및 플로팅절연막을 형성하는 단계를 포함하되, 적어도 상기 제2 절연막은 상기 전하저장층이 상기 게이트 전극의 측벽으로부터 연장된 돌출부를 갖도록 패터닝되는 것을 특징으로 하는 비휘발성 메모리소자의 제조방법.

청구항 36. 제 35 항에 있어서,

상기 제1 및 제3 절연막은 실리콘산화막으로 형성하고, 상기 제2 절연막은 실리콘질화막으로 형성하는 것을 특징으로 하는 비휘발성 메모리소자의 제조방법.

청구항 37. 제 35 항에 있어서,

상기 전하저장층 및 상기 플로팅절연막을 형성하는 단계는

상기 게이트 전극을 식각 마스크로 사용하여 상기 제3 절연막을 식각하여 상기 게이트 전극과 자기정렬된 플로팅절연막을 형성하는 단계;

상기 게이트 전극의 측벽 및 상기 플로팅절연막의 측벽에 제1 측벽 스페이서를 형성하는 단계; 및

상기 게이트 전극 및 상기 제1 측벽 스페이서를 식각마스크로 사용하여 상기 제2 절연막을 식각하여 상기 게이트 전극보다 넓은 폭을 갖는 전하저장층을 형성하는 단계를 포함하는 것을 특징으로 하는 비휘발성 메모리소자의 제조방법.

청구항 38. 제 37 항에 있어서,

상기 제1 측벽 스페이서를 형성하기 전에 상기 게이트 전극의 적어도 측벽 상에 게이트 캐핑산화막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 비휘발성 메모리소자의 제조방법.

청구항 39. 제 37 항에 있어서,

상기 제1 측벽 스페이서의 외측벽 및 상기 전하저장층의 측벽 상에 제2 측벽 스페이서를 형성하는 단계를 더 포함하는 것을 특징으로 하는 비휘발성 메모리소자의 제조방법.

청구항 40. 제 35 항에 있어서,

상기 전하저장층 및 상기 플로팅절연막을 형성하는 단계는

상기 게이트 전극의 측벽에 제1 측벽 스페이서를 형성하는 단계; 및

상기 게이트 전극 및 상기 제1 측벽 스페이서를 식각마스크로 사용하여 상기 제3 절연막 및 상기 제2 절연막을 연속적으로 식각하여 상기 제1 측벽 스페이서의 아래에 돌출부를 갖는 플로팅절연막 및 상기 플로팅절연막과 자기정렬된 전하저장층을 형성하는 단계를 포함하는 것을 특징으로 하는 비휘발성 메모리소자의 제조방법.

청구항 41. 제 40 항에 있어서,

상기 제1 측벽 스페이서를 형성하기 전에 상기 게이트 전극의 적어도 측벽 상에 게이트 캐핑산화막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 비휘발성 메모리소자의 제조방법.

청구항 42. 제 40 항에 있어서,

상기 제1 측벽 스페이서의 외측벽, 상기 플로팅절연막의 측벽 및 상기 전하저장층의 측벽 상에 제2 측벽 스페이서를 형성하는 단계를 더 포함하는 것을 특징으로 하는 비휘발성 메모리소자의 제조방법.

청구항 43. 반도체기판의 소정영역에 활성영역을 한정하는 소자분리막 및 적어도 상기 활성영역 상에 차례로 적층된 제1 내지 제3 절연막으로 구성된 적층절연막을 형성하는 단계;

상기 적층절연막 상에 상기 활성영역을 가로지르는 게이트 전극을 형성하는 단계; 및

적어도 상기 제3 절연막 및 상기 제2 절연막을 패터닝하여 상기 제1 절연막 및 상기 게이트 전극 사이에 차례로 적층된 전하저장층 및 플로팅절연막을 형성하는 단계를 포함하되, 적어도 상기 제2 절연막은 상기 전하저장층이 상기 게이트 전극의 측벽으로부터 연장된 돌출부를 갖도록 패터닝되는 것을 특징으로 하는 비휘발성 메모리소자의 제조방법.

청구항 44. 제 43 항에 있어서,

상기 제1 및 제3 절연막은 실리콘산화막으로 형성하고, 상기 제2 절연막은 실리콘질화막으로 형성하는 것을 특징으로 하는 비휘발성 메모리소자의 제조방법.

청구항 45. 제 43 항에 있어서,

상기 소자분리막, 상기 적층절연막 및 상기 게이트 전극을 형성하는 단계는

상기 반도체기판의 전면에 제1 절연막, 제2 절연막, 제3 절연막 및 하부 게이트 도전막을 차례로 형성하는 단계;

상기 하부 게이트 도전막, 상기 제3 절연막, 상기 제2 절연막, 상기 제1 절연막 및 상기 반도체기판을 연속적으로 패터닝하여 상기 반도체기판의 소정영역에 활성영역을 한정하는 트렌치 영역을 형성하는 단계;

상기 트렌치 영역을 채우는 소자분리막을 형성하는 단계;

상기 소자분리막을 갖는 결과물의 전면에 상부 게이트 도전막을 형성하는 단계; 및

상기 상부 게이트 도전막 및 상기 패터닝된 하부 게이트 도전막을 연속적으로 패터닝하여 상기 활성영역의 상부 및 상기 소자분리막의 상부를 가로지르는 상부 게이트 전극을 형성함과 동시에 상기 상부 게이트 전극 및 상기 활성영역 사이에 개재된 하부 게이트 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 비휘발성 메모리소자의 제조방법.

청구항 46. 제 43 항에 있어서,

상기 소자분리막, 상기 적층절연막 및 상기 게이트 전극을 형성하는 단계는

상기 반도체기판의 소정영역에 활성영역을 한정하는 소자분리막을 형성하는 단계;

상기 소자분리막을 갖는 결과물의 전면에 제1 내지 제3절연막 및 게이트 도전막을 차례로 형성하는 단계; 및

상기 게이트 도전막을 패터닝하는 단계를 포함하는 것을 특징으로 하는 비휘발성 메모리소자의 제조방법.

청구항 47. 제 43 항에 있어서,

상기 전하저장층 및 상기 플로팅절연막을 형성하는 단계는

상기 게이트 전극을 식각 마스크로 사용하여 상기 제3 절연막을 식각하여 상기 게이트 전극과 자기정렬된 플로팅절연막을 형성하는 단계;

상기 게이트 전극과 측벽 및 상기 플로팅절연막의 측벽에 제1 측벽 스페이서를 형성하는 단계; 및

상기 게이트 전극 및 상기 제1 측벽 스페이서를 식각마스크로 사용하여 상기 제2 절연막을 식각하여 상기 게이트 전극보다 넓은 폭을 갖는 전하저장층을 형성하는 단계를 포함하는 것을 특징으로 하는 비휘발성 메모리소자의 제조방법.

청구항 48. 제 47 항에 있어서,

상기 제1 측벽 스페이서를 형성하기 전에 상기 게이트 전극의 적어도 측벽 상에 게이트 캐핑산화막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 비휘발성 메모리소자의 제조방법.

청구항 49. 제 47 항에 있어서,

상기 제1 측벽 스페이서의 외측벽 및 상기 전하저장층의 측벽 상에 제2 측벽 스페이서를 형성하는 단계를 더 포함하는 것을 특징으로 하는 비휘발성 메모리소자의 제조방법.

청구항 50. 제 43 항에 있어서,

상기 전하저장층 및 상기 플로팅절연막을 형성하는 단계는

상기 게이트 전극의 측벽에 제1 측벽 스페이서를 형성하는 단계; 및

상기 게이트 전극 및 상기 제1 측벽 스페이서를 식각마스크로 사용하여 상기 제3 절연막 및 상기 제2 절연막을 연속적으로 식각하여 상기 제1 측벽 스페이서의 아래에 돌출부를 갖는 플로팅절연막 및 상기 플로팅절연막과 자기정렬된 전하저장층을 형성하는 단계를 포함하는 것을 특징으로 하는 비휘발성 메모리소자의 제조방법.

청구항 51. 제 50 항에 있어서,

상기 제1 측벽 스페이서를 형성하기 전에 상기 게이트 전극의 적어도 측벽 상에 게이트 캐핑산화막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 비휘발성 메모리소자의 제조방법.

청구항 52. 제 50 항에 있어서,

상기 제1 측벽 스페이서의 외측벽, 상기 플로팅절연막의 측벽 및 상기 전하저장층의 측벽 상에 제2 측벽

스페이서를 형성하는 단계를 더 포함하는 것을 특징으로 하는 비휘발성 메모리소자의 제조방법.

청구항 53. 셀 어레이 영역 및 주변회로 영역을 갖는 비휘발성 메모리소자의 제조방법에 있어서,

반도체기판의 소정영역에 상기 셀 어레이 영역 및 상기 주변회로 영역 내에 각각 제1 활성영역 및 제2 활성영역을 한정하는 소자분리막을 형성함과 동시에 적어도 상기 제1 활성영역 상에 차례로 적층된 제1 내지 제3 절연막으로 구성된 적층절연막 및 상기 제2 활성영역 상에 적층된 게이트 절연막을 형성하는 단계;

상기 적층절연막의 상부를 가로지르는 복수개의 워드라인들 및 상기 게이트 절연막의 상부를 가로지르는 게이트 전극을 형성하는 단계; 및

적어도 상기 제3 절연막 및 상기 제2 절연막을 패터닝하여 상기 제1 절연막 및 상기 워드라인들 사이에 차례로 적층된 전하저장층 및 플로팅절연막을 형성하는 단계를 포함하되, 적어도 상기 제2 절연막은 상기 전하저장층이 상기 워드라인들의 측벽으로부터 연장된 돌출부를 갖도록 패터닝되는 것을 특징으로 하는 비휘발성 메모리소자의 제조방법.

청구항 54. 제 53 항에 있어서,

상기 제1 및 제3 절연막은 실리콘산화막으로 형성하고, 상기 제2 절연막은 실리콘질화막으로 형성하는 것을 특징으로 하는 비휘발성 메모리소자의 제조방법.

청구항 55. 제 53 항에 있어서,

상기 소자분리막, 상기 적층절연막, 상기 게이트 절연막, 상기 워드라인들 및 상기 게이트 전극을 형성하는 단계는

상기 셀 어레이 영역 내의 상기 반도체기판 상에 선택적으로 상기 적층절연막을 형성하는 단계;

상기 주변회로 영역 내의 상기 반도체기판 상에 선택적으로 게이트 절연막을 형성하는 단계;

상기 게이트 절연막을 갖는 결과물 전면에 하부 게이트 도전막을 형성하는 단계;

상기 하부도전막, 상기 적층절연막, 상기 게이트 절연막 및 상기 반도체기판을 연속적으로 패터닝하여 상기 셀 어레이 영역 및 상기 주변회로 영역 내에 각각 제1 및 제2 활성영역을 한정하는 트렌치 영역을 형성하는 단계;

상기 트렌치 영역을 채우는 소자분리막을 형성하는 단계;

상기 소자분리막을 갖는 결과물의 전면에 상부 게이트 도전막을 형성하는 단계; 및

상기상부 게이트 도전막상부 게이트 도전막 상부를 가로지르는 복수개의 워드라인들 및 상기 제2 활성영역의 상부를 가로지르는 게이트 전극을 형성하는 단계를 포함하되, 상기 워드라인들의 각각은 상기 제1 활성영역의 상부를 가로지르는 상부 워드라인과 상기 상부 워드라인 및 상기 제1 활성영역 사이에 개재된 하부 워드라인으로 구성되고, 상기 게이트 전극은 상기 제2 활성영역의 상부를 가로지르는 상부 게이트 전극과, 상기 상부 게이트 전극 및 상기 제2 활성영역 사이에 개재된 하부 게이트 전극으로 구성되는 것을 특징으로 하는 비휘발성 메모리소자의 제조방법.

청구항 56. 제 53 항에 있어서,

상기 소자분리막, 상기 적층절연막, 상기 게이트 절연막, 상기 워드라인들 및 상기 게이트 전극을 형성하는 단계는

상기 반도체기판의 소정영역에 소자분리막을 형성하여 상기 셀 어레이 영역 및 상기 주변회로 영역 내에 각각 제1 및 제2 활성영역을 한정하는 단계;

상기 소자분리막을 갖는 결과물의 상기 셀 어레이 영역 내에 선택적으로 제1 내지 제3 절연막을 차례로 형성하는 단계;

상기 제2 활성영역 상에 게이트 절연막을 형성하는 단계;

상기 제1 내지 제3 절연막과 상기 게이트 절연막을 갖는 결과물의 전면에 도전막을 형성하는 단계; 및

상기 도전막을 패터닝하여 상기 제1 활성영역을 가로지르는 워드라인들 및 상기 제2 활성영역을 가로지르는 게이트 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 비휘발성 메모리소자의 제조방법.

청구항 57. 제 53 항에 있어서,

상기 전하저장층 및 상기 플로팅절연막을 형성하는 단계는

상기 워드라인들을 식각 마스크로 사용하여 상기 제3 절연막을 식각하여 상기 워드라인들과 자기정렬된 플로팅절연막들을 형성하는 단계;

상기 워드라인들의 측벽들 및 상기 플로팅절연막들의 측벽들과 아울러 상기 게이트 전극의 측벽에 제1 측벽 스페이서를 형성하는 단계; 및

상기 워드라인들 및 상기 제1 측벽 스페이서를 식각마스크로 사용하여 상기 제2 절연막을 식각하여 상기 워드라인보다 넓은 폭을 갖는 전하저장층을 형성하는 단계를 포함하는 것을 특징으로 하는 비휘발성 메모리소자의 제조방법.

청구항 58. 제 57 항에 있어서,

상기 제1 측벽 스페이서를 형성하기 전에 상기 워드라인들의 표면들 및 상기 게이트 전극의 표면 상에 게

이트 캐핑산화막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 비휘발성 메모리소자의 제조방법.

청구항 59. 제 57 항에 있어서,

상기 전하저장층을 형성하기 전 또는 후에,

상기 게이트 전극 및 상기 제1 측벽 스페이서를 이온주입 마스크로 사용하여 상기 제2 활성영역에 불순물을 주입하여 고농도 소오스/드레인 영역을 형성하는 단계를 더 포함하는 것을 특징으로 하는 비휘발성 메모리소자의 제조방법.

청구항 60. 제 59 항에 있어서,

상기 블로킹절연막을 형성하기 전 또는 후에,

상기 워드라인들 및 상기 게이트 전극을 이온주입 마스크로 사용하여 상기 제1 및 제2 활성영역에 불순물을 주입하여 저농도 소오스/드레인 영역을 형성하는 단계를 더 포함하는 것을 특징으로 하는 비휘발성 메모리소자의 제조방법.

청구항 61. 제 57 항에 있어서,

상기 셀 어레이 영역 내의 상기 제1 측벽 스페이서의 외측벽 및 상기 전하저장층의 측벽과 아울러 상기 주변회로 영역 내의 상기 제1 측벽 스페이서의 외측벽에 제2 측벽 스페이서를 형성하는 단계를 더 포함하는 것을 특징으로 하는 비휘발성 메모리소자의 제조방법.

청구항 62. 제 61 항에 있어서,

상기 게이트 전극, 상기 제1 측벽 스페이서 및 상기 제2 측벽 스페이서를 이온주입 마스크로 사용하여 상기 제2 활성영역에 불순물을 주입하여 고농도 소오스/드레인 영역을 형성하는 단계를 더 포함하는 것을 특징으로 하는 비휘발성 메모리소자의 제조방법.

청구항 63. 제 62 항에 있어서,

상기 블로킹절연막을 형성하기 전 또는 후에,

상기 워드라인들 및 상기 게이트 전극을 이온주입 마스크로 사용하여 상기 제1 및 제2 활성영역에 불순물을 주입하여 저농도 소오스/드레인 영역을 형성하는 단계를 더 포함하는 것을 특징으로 하는 비휘발성 메모리소자의 제조방법.

청구항 64. 제 62 항에 있어서,

상기 전하저장층을 형성하기 전 또는 후에,

상기 워드라인들, 상기 게이트 전극 및 상기 제1 측벽 스페이서를 이온주입 마스크로 사용하여 상기 제1 및 제2 활성영역에 불순물을 주입하여 저농도 소오스/드레인 영역을 형성하는 단계를 더 포함하는 것을 특징으로 하는 비휘발성 메모리소자의 제조방법.

청구항 65. 제 53 항에 있어서,

상기 전하저장층 및 상기 블로킹절연막을 형성하는 단계는

상기 워드라인들의 측벽 및 상기 게이트 전극의 측벽에 제1 측벽 스페이서를 형성하는 단계; 및

상기 워드라인들, 상기 게이트 전극 및 상기 제1 측벽 스페이서를 식각마스크로 사용하여 상기 제3 절연막 및 상기 제2 절연막을 연속적으로 식각하여 상기 제1 측벽 스페이서의 아래에 돌출부를 갖는 블로킹절연막 및 상기 블로킹절연막과 자기정렬된 전하저장층을 형성하는 단계를 포함하는 것을 특징으로 하는 비휘발성 메모리소자의 제조방법.

청구항 66. 제 65 항에 있어서,

상기 제1 측벽 스페이서를 형성하기 전에 상기 게이트 전극의 표면 및 상기 워드라인들의 표면을 상에 게이트 캐핑산화막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 비휘발성 메모리소자의 제조방법.

청구항 67. 제 65 항에 있어서,

상기 제1 측벽 스페이서를 형성한 후에,

상기 워드라인들 및 상기 게이트 전극 및 상기 제1 측벽 스페이서를 이온주입 마스크로 사용하여 상기 제2 활성영역에 불순물을 주입하여 고농도 소오스/드레인 영역을 형성하는 단계를 더 포함하는 것을 특징으로 하는 비휘발성 메모리소자의 제조방법.

청구항 68. 제 67 항에 있어서,

상기 제1 측벽 스페이서를 형성하기 전에,

상기 워드라인들 및 상기 게이트 전극을 이온주입 마스크로 사용하여 상기 제1 및 제2 활성영역에 불순물을 주입하여 저농도 소오스/드레인 영역을 형성하는 단계를 더 포함하는 것을 특징으로 하는 비휘발성 메모리소자의 제조방법.

청구항 69. 제 65 항에 있어서,

상기 셀 어레이 영역 내의 상기 제1 측벽 스페이서의 외측벽, 상기 전하저장층의 측벽 및 상기 블로킹절연막의 측벽과 아울러 상기 주변회로 영역 내의 상기 제1 측벽 스페이서의 외측벽에 제2 측벽 스페이서를 형성하는 단계를 더 포함하는 것을 특징으로 하는 비휘발성 메모리소자의 제조방법.

청구항 70. 제 69 항에 있어서,

상기 게이트 전극, 상기 제1 측벽 스페이서 및 상기 제2 측벽 스페이서를 이온주입 마스크로 사용하여 상기 제2 활성영역에 불순물을 주입하여 고농도 소오스/드레인 영역을 형성하는 단계를 더 포함하는 것을 특징으로 하는 비휘발성 메모리소자의 제조방법.

청구항 71. 제 70 항에 있어서,

상기 제1 측벽 스페이서를 형성하기 전에,

상기 워드라인들 및 상기 게이트 전극을 이온주입 마스크로 사용하여 상기 제1 및 제2 활성영역에 불순물을 주입하여 저농도 소오스/드레인 영역을 형성하는 단계를 더 포함하는 것을 특징으로 하는 비휘발성 메모리소자의 제조방법.

청구항 72. 제 70 항에 있어서,

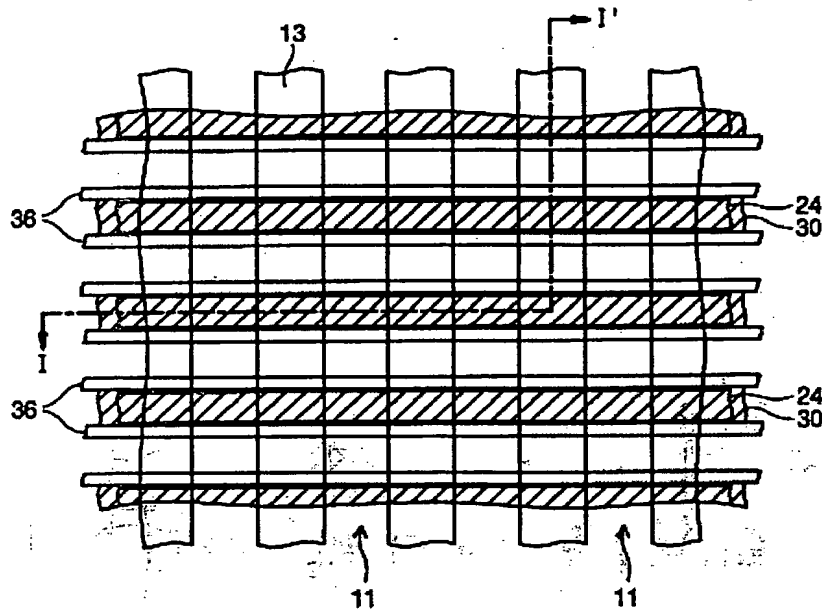
상기 전하저장층 및 블로킹절연막을 형성하기 전 또는 후에,

상기 워드라인들, 상기 게이트 전극 및 상기 제1 측벽 스페이서를 이온주입 마스크로 사용하여 상기 제1 및 제2 활성영역에 불순물을 주입하여 저농도 소오스/드레인 영역을 형성하는 단계를 더 포함하는 것을 특징으로 하는 비휘발성 메모리소자의 제조방법.

도면

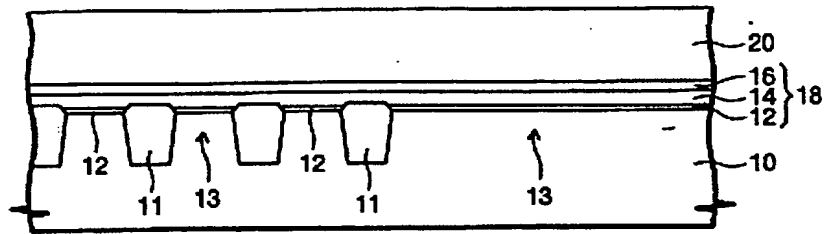
도면1

(종래 기술)



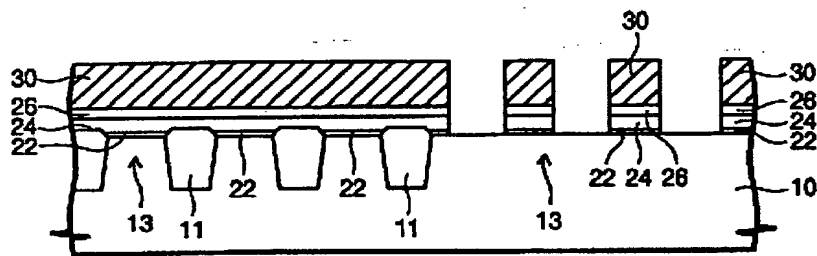
도 B2

(종래 기술)



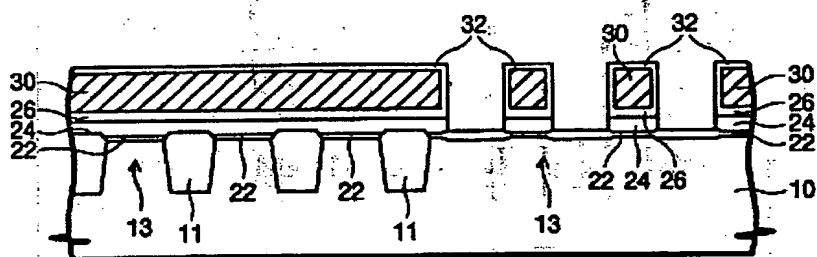
도 B3

(종래 기술)



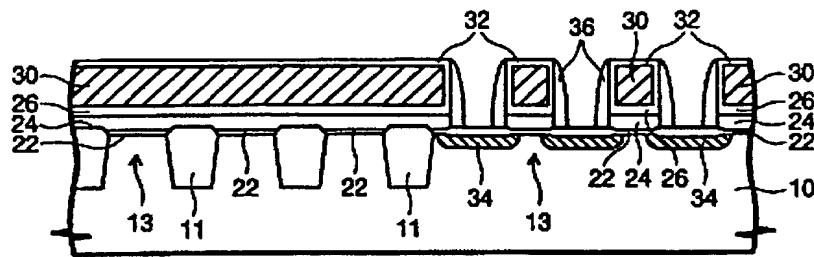
도 B4

(종래 기술)

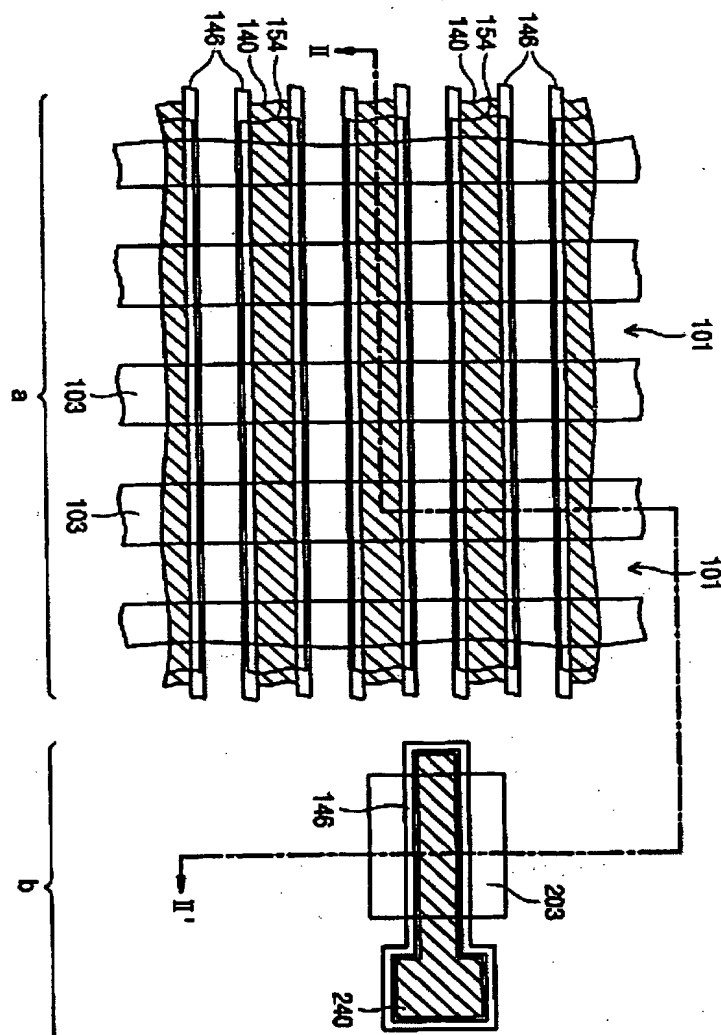


LEAS

(총래 기술)



도표



도 9

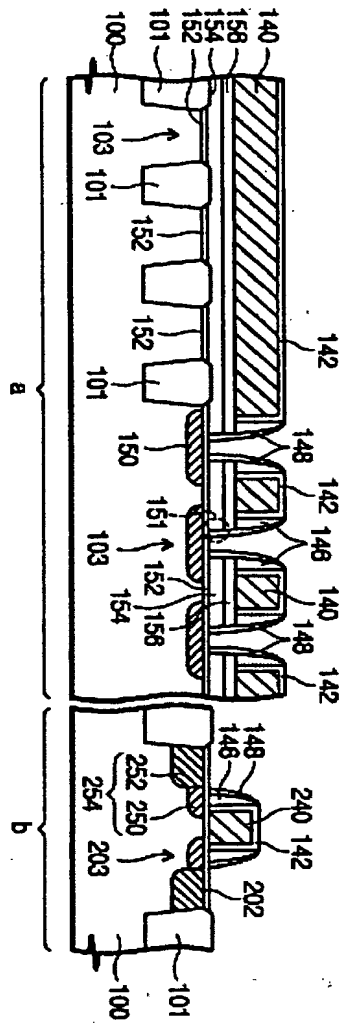
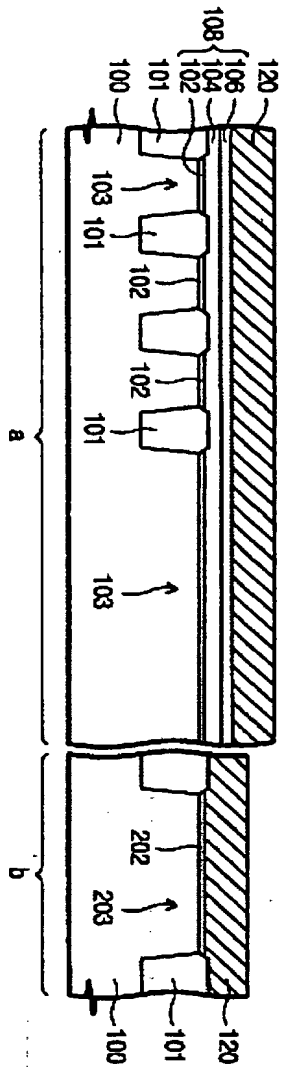
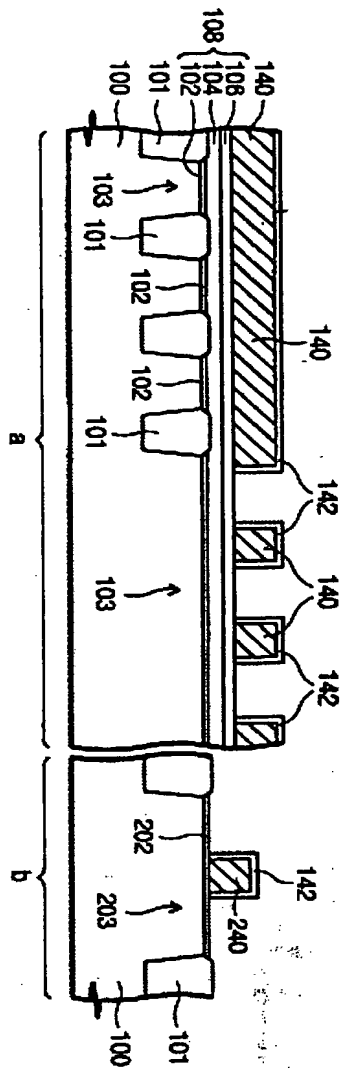


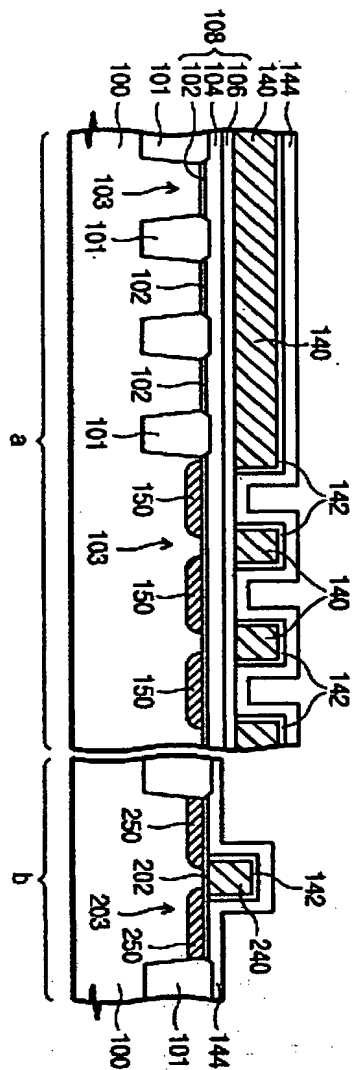
FIG. 8



도 5



도면 10



도면 11

